

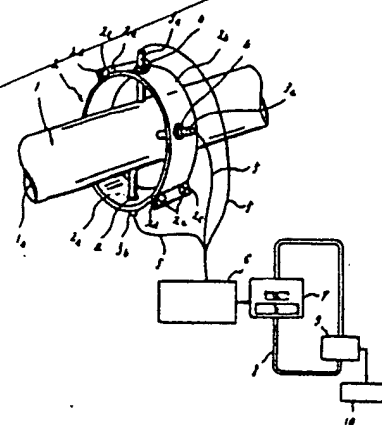
100 1 312

(54) APPARATUS FOR DETECTING PREMONITORY DIELECTRIC BREAKDOWN

(11) 1-110272 (A) (43) 26.4.1989 (19) JP
 (21) Appl. No. 62-269105 (22) 23.10.1987
 (71) MITSUBISHI CABLE IND LTD (72) EIJI IRI(2)
 (51) Int. Cl. G01R31/12

PURPOSE: To detect the premonitor of dielectric breakdown by always monitoring a premonitory dielectric breakdown avalanche phenomenon, by detecting premonitory dielectric breakdown on the basis of the output signal of the ultrasonic sensor arranged at a place where dielectric breakdown must be detected.

CONSTITUTION: A cylindrical sensor mount jig 2 can be simply attached to and detached from a power cable 1 by dividing mount jig half bodies 2a, 2b by the detachment of connection bolts 2e, 2e. A large number of ultrasonic sensors 3a, 3b, 3c are arranged to the sensor mount jig 2 so as to be inserted therethrough and the outputs thereof are inputted to a measuring device main body 6 through measuring cables 5. When an ultrasonic signal exceeds a set threshold value level, the premonitory dielectric breakdown detection signal of the time width thereof is transmitted to a master station 9 through a child station 7 and a signal transmitting line 8. By reading a detection signal and the code signal of the ultrasonic sensor by a computer 10, the premonitory dielectric breakdown phenomenon of the power cable 1 at a specific position can be known.



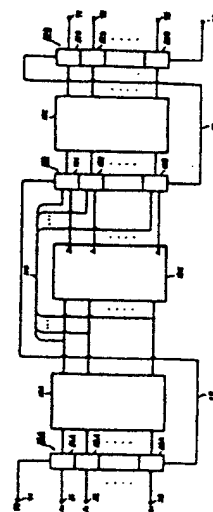
a: memory, b: interface

(54) TEST CIRCUIT

(11) 1-110274 (A) (43) 26.4.1989 (19) JP
 (21) Appl. No. 62-267696 (22) 23.10.1987
 (71) SONY CORP (72) TAKASHI ONODERA(1)
 (51) Int. Cl. G01R31/28, H03K19/00

PURPOSE: To easily test a block to be tested and the peripheral block by a reduced number of addition circuits without generating the mutual effect between said blocks, by supplying input and output signals to a plurality of three-port type FFs constituting a shift register.

CONSTITUTION: A shift register 100 is constituted of eight three-port type FFs 101~108 and the output of the circuit block 10A of a front stage is connected to a circuit block 10X difficult in the setting of inherent test data and further connected to the FFs 101~108 of the shift registers 100 through bypasses 110. The output of the circuit block 10X is connected to the respective FFs 101~108. Further, the shift register 100 is connected to the shift registers 80A, 80D of front and rear stages by scanning paths 96, 97. By this constitution, the input and output data of the circuit block 10X of a ROM can be easily observed.



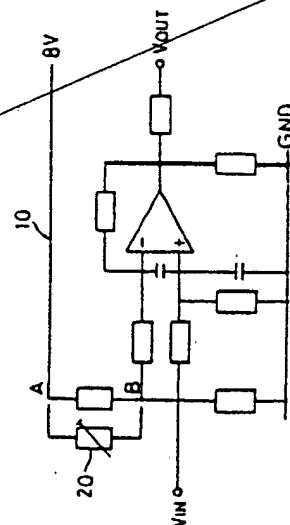
10C: circuit block

(54) MACHINE FOR ADJUSTING ELECTRIC CIRCUIT BOARD

(11) 1-110276 (A) (43) 26.4.1989 (19) JP
 (21) Appl. No. 62-266451 (22) 23.10.1987
 (71) JAPAN ELECTRON CONTROL SYST CO LTD (72) YASUO MORITA
 (51) Int. Cl. G01R31/28

PURPOSE: To shorten an adjusting time, by calculating the resistance value of a circuit to be adjusted by an automatic variable resistor and investigating the relation between the calculated value and the set value of the resistance value of an adjusting fixed resistor inserted corresponding to said resistance value to learn and correct irregularity.

CONSTITUTION: After an automatic variable resistor 20 is connected between the terminals A, B of a circuit 10 to be adjusted, the resistance value of the automatic variable resistor 20 is set to $R = R_1(1+S)$ on the basis of the set value (R_1) and shift width (S) of an adjusting fixed resistor stored at the previous time. The variable resistance value is changed by $\Delta R_1(1+S)$ to perform adjustment and the fixed resistor having the set value R_1 as a prescribed value is selected to be inserted in an adjusting circuit. When an input/output characteristic does not reach an objective value in said fixed resistor, the shift width (S) is changed on the basis of a shift tendency to again perform adjustment. By this method, in the adjusting work of the same kind, an irregularity tendency is learnt by the adjustment of the previous product to perform correction and the enhancement of the efficiency of adjusting work is achieved.



⑫ 公開特許公報(A)

平1-110274

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)4月26日

G 01 R 31/28

G-6912-2G

H 03 K 19/00

B-8326-5J

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 試験回路

⑯ 特 願 昭62-267696

⑰ 出 願 昭62(1987)10月23日

⑱ 発 明 者 小 野 寺 岳 志 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑲ 発 明 者 清 水 目 和 年 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑳ 出 願 人 ソ ニ ー 株 式 会 社 東京都品川区北品川6丁目7番35号
 ㉑ 代 理 人 弁 理 士 伊 藤 貞 外1名

明 細 書

発明の名称 試験回路

特許請求の範囲

複数の入力端子及び出力端子を有する回路ブロックに対し、

それぞれ第1、第2及び第3のデータ入力端子と第1、第2及び第3のクロック端子とを有する複数の3ポート型フリップフロップを配し、

前段のフリップフロップの出力端子を次段のフリップフロップの第1のデータ入力端子に接続し、

上記回路ブロックの各入力端子を上記各フリップフロップの第2のデータ入力端子に接続し、

上記回路ブロックの各出力端子を上記各フリップフロップの第3のデータ入力端子に接続し、

上記各フリップフロップの第1、第2及び第3のクロック端子に選択的にクロックを供給することにより、上記回路ブロックの入力信号及び出力信号を上記複数のフリップフロップの最終段の出力端子より得るようにしたことを特徴とする試験回路。

発明の詳細な説明

(産業上の利用分野)

本発明はLSIに好適な試験回路に関する。

(発明の概要)

本発明は、シフトレジスタを構成する複数の3ポート型フリップフロップの各第2及び第3のデータ入力端子に、LSIに搭載された被試験回路ブロックの入力信号及び出力信号をそれぞれ供給することにより、付加回路を少なくして、被試験回路ブロック及び周辺回路ブロックを、相互に影響なく、容易に試験することのできる試験回路である。

(従来の技術)

大規模集積回路(LSI)では、多数の単位回路が同一チップ上に搭載されているため、その良否を判定するための試験が難しくなる。

そこで、LSIの内部を複数の回路ブロックに分割し、各ブロックごとの入出力信号を外部から

設定・観測することにより、LSI全体の試験を効率的に行なうブロック・アイソレーション法が提案されている。このブロック・アイソレーション法には、LSI内部にセレクトを付加するもの、或はスキャンバスを付加するものがある。

セレクトによるブロック・アイソレーション法では、第3図に示すように、試験される回路ブロック(10)の入力側にセレクト(21)～(28)が設けられ、図示を省略した他の回路ブロックから入力端子(31)～(38)を介して供給される、例えば8ビットの通常入力データA₀～A₇と、テスト入力端子(41)～(48)を介して供給される、例えば8ビットの個有テストデータT₀～T₇とが、端子(29)からのブロック選択信号に基づいて、セレクト(21)～(28)により選択されて回路ブロック(10)に供給される。

回路ブロック(10)の個有テストデータT₀～T₇に対応する出力データは、アンドゲート(51)～(58)と、図示を省略した他の回路ブロックからの出力データが供給されるオアゲート(61)～

(68)とを介して、出力端子(71)～(78)に導出される。この出力データが所定のデータパターンと比較されて、被試験回路ブロック(10)の良否が判定される。

スキャンバスによるブロック・アイソレーション法では、第4図に示すように、試験される複数(例えば3個)の回路ブロック(10A)、(10B)、(10C)の入力側にそれぞれシフトレジスタ(80A)、(80B)、(80C)が設けられると共に、回路ブロック(10C)の出力側にシフトレジスタ(80D)が設けられる。シフトレジスタ(80A)は、例えば本出願人による特願昭61-58931号に記載されたような、2ポート型フリップフロップ(81A)～(88A)により構成される。他のシフトレジスタ(80B)、(80C)、(80D)も同様に構成される。

ノーマルモードでは、図示を省略したシステムクロックが各シフトレジスタ(80A)～(80D)に供給されて、入力端子(31)～(38)からの通常入力データA₀～A₇が、シフトレジスタ(80A)

3

の各フリップフロップ(81A)～(88A)を介して、回路ブロック(10A)に供給され、この回路ブロック(10A)の出力が、シフトレジスタ(80B)の各フリップフロップ(81B)～(88B)を介して、回路ブロック(10B)に供給される。以下同様にして、回路ブロック(10C)の出力がシフトレジスタ(80D)を介して、出力端子(71)～(78)に導出される。

テストモードでは、図示を省略したテストクロックが各シフトレジスタ(80A)～(80D)に供給されて、テスト入力端子(91)からシフトレジスタ(80A)に供給された直列のテストデータTDは、スキャンバス(92)、(93)及び(94)によって順次直列に接続されたシフトレジスタ(80B)、(80C)、(80D)を経て、出力端子(95)に導出される。

これにより、各回路ブロック(10A)～(10C)の入出力信号を外部から設定・観測することができ、被試験回路ブロックの良否を判定することができる。

4

(発明が解決しようとする問題点)

ところが、セレクトによるブロック・アイソレーション法では、配線量が多いという問題があると共に、被試験回路ブロックの入出力信号の数がLSIの端子数よりも多い場合には適用することができないという問題があった。

また、スキャンバスによるブロック・アイソレーション法では、各回路ブロックの前後に付加すべきシフトレジスタの回路規模が大きくなって、ハードウェア量が多いという問題があった。

かかる点に鑑み、本発明の目的は、少ない付加回路によって、当該及び周辺の回路ブロックを相互に影響なく容易に試験することのできる試験回路を提供するところにある。

(問題点を解決するための手段)

本発明は、複数の入力端子及び出力端子を有する回路ブロック(10X)に対し、それぞれ第1、第2及び第3のデータ入力端子D₁、D₂及びD₃と第1、第2及び第3のクロック端子CK₁、

CK₁及びCK₂とを有する複数の3ポート型フリップフロップ(101)～(108)を配し、前段のフリップフロップの出力端子を次段のフリップフロップの第1のデータ入力端子に接続し、回路ブロックの各入力端子を各フリップフロップの第2のデータ入力端子に接続し、回路ブロックの各出力端子を各フリップフロップの第3のデータ入力端子に接続し、各フリップフロップの第1、第2及び第3のクロック端子に選択的にクロックを供給することにより、回路ブロックの入力信号及び出力信号を複数のフリップフロップの最終段の出力端子より得るようにした試験回路である。

(作用)

かかる構成によれば、少ない付加回路を用いて、被試験回路ブロック及び周辺回路ブロックを、相互に影響なく、容易に試験することができる。

(実施例)

以下、第1図及び第2図を参照しながら、本発

明による試験回路の一実施例について説明する。

本発明の一実施例の構成を第1図に示す。この第1図において、前出第4図に対応する部分には同一の符号を付して重複説明を省する。

第1図において、(100)はシフトレジスタであって、後述のように、複数(例えば8個)の3ポート型フリップフロップ(101)～(108)から構成される。

前段の回路ブロック(10A)からの通常入力データが、例えばROMのように、個有テストデータの設定が困難な回路ブロック(10X)に供給されると共に、バイパス(110)を介して、シフトレジスタ(100)のフリップフロップ(101)～(108)にそれぞれ供給される。また、このフリップフロップ(101)～(108)には、テストの困難な回路ブロック(10X)の出力データがそれぞれ供給され、各フリップフロップ(101)～(108)の出力データが後段の回路ブロック(10C)に供給される。更に、シフトレジスタ(100)はスキャンバス(96)及び(97)によって前段及び

後段のシフトレジスタ(80A)及び(80D)と直列に接続される。その余の構成は前出第4図と同様である。

シフトレジスタ(100)の詳細構成を第2図に示す。第2図において、3ポート型フリップフロップ(101)～(108)はそれぞれ第1、第2及び第3のデータ入力端子D₁、D₂及びD₃と第1、第2及び第3のクロック端子CK₁、CK₂及びCK₃とを有する。

初段のフリップフロップ(101)の出力端子Qが次段のフリップフロップ(102)の第1のデータ入力端子D₁に接続され、以下同様にして、前段のフリップフロップの出力端子が最終段のフリップフロップ(108)の第1のデータ入力端子D₁に接続される。

回路ブロック(10X)の各入力データが、バイパス(110)(第1図参照)に接続された端子(111)～(118)から各フリップフロップ(101)～(108)の第2のデータ入力端子D₂にそれぞれ供給され、回路ブロック(10X)の各出力デ

ータX₀～X₇が端子(121)～(128)から各フリップフロップ(101)～(108)の第3のデータ入力端子D₃にそれぞれ供給される。各フリップフロップ(101)～(108)の出力データがそれぞれ端子(131)～(138)から後段の回路ブロック(10C)に供給される。

各フリップフロップ(101)～(108)の第1、第2及び第3のクロック端子CK₁、CK₂及びCK₃には、それぞれ共通に端子(141)、(142)及び(143)からのスキャンクロックSCK、テストクロックTCK及びノーマル(システム)クロックNCKの3種のクロックが供給される。

端子(191)及び(192)はそれぞれスキャンバス(96)及び(97)(第1図参照)に接続され、端子(191)が初段のフリップフロップ(101)の第1の入力端子D₁に接続されると共に、端子(192)が終段のフリップフロップ(108)の出力端子に接続される。

前述のように、例えばROMのような被試験回路ブロック(10X)は、後段の回路ブロック(10C)

の個有テストデータの設定が困難である。しかしながら、その通常入力データは比較的容易に設定することができる。

本発明はこの点に着目してなされたものであって、その一実施例の動作は次のとおりである。

スキャンモードでは、端子(141)からのスキヤックロック SCK がそれぞれの第1のクロック端子 CK₁ に共通に供給されて、フリップフロップ(101)～(108)は、それぞれ第1の入力端子 D₁ に供給されるデータに対する D フリップフロップとして動作する。これにより、フリップフロップ(101)～(108)がシフトレジスタ接続となり、入力端子(191)からのデータが各フリップフロップ(101)～(108)を転送され、出力端子(192)から取り出される。

従って、スキャンモードでは、端子(191)から各フリップフロップ(101)～(108)の値を任意に設定することができると共に、それぞれの値を端子(192)から観測することができる。

テストモードでは、端子(142)からのテスト

クロック TCK がそれぞれの第2のクロック端子 CK₂ に共通に供給されて、フリップフロップ(101)～(108)は、それぞれ第2の入力端子 D₂ に供給されるデータに対する D フリップフロップとして動作する。これにより、フリップフロップ(101)～(108)には端子(111)～(118)から回路ブロック(10X)の入力データ A₀～A₇ が取り込まれる。

しかる後、スキャンモードに切り換えれば、端子(192)から回路ブロック(10X)の入力データ A₀～A₇ を観測することができる。

ノーマルモードでは、端子(143)からのシステムクロック NCK がそれぞれの第3のクロック端子 CK₃ に共通に供給されて、フリップフロップ(101)～(108)は、それぞれ第3の入力端子 D₃ に供給されるデータに対する D フリップフロップとして動作する。これにより、フリップフロップ(101)～(108)には端子(121)～(128)から回路ブロック(10X)の出力データ X₀～X₇ が取り込まれる。

1 1

しかる後、スキャンモードに切り換えれば、端子(192)から回路ブロック(10X)の出力データ X₀～X₇ を観測することができる。

即ち、本実施例においては、1組のシフトレジスタ(100)の3ポート型フリップフロップ(101)～(108)をスキャンモード、テストモード及びノーマルモードに適宜切換えることにより、従来の2ポート型フリップフロップから成るシフトレジスタの2組よりも付加回路の規模を小さくしながら、回路ブロック(10X)の入力信号及び出力信号の観測と、次段の回路ブロック(10C)のテスト信号としての各フリップフロップ(101)～(108)の出力信号の設定とを外部から容易に行なうことができ、当該回路ブロック(10X)及び周辺回路ブロック(10C)の試験を、相互に影響されことなく、容易に行なうことができる。

〔発明の効果〕

以上詳述のように、本発明によれば、シフトレジスタを成する複数の3ポート型フリップフロ

1 2

ップの各第2及び第3のデータ入力端子に、LSIに搭載された被試験回路ブロックの入力信号及び出力信号をそれぞれ供給するようにしたので、付加回路を少なくしながら、被試験回路ブロック及び周辺回路ブロックを、相互に影響なく、容易に試験することのできる試験回路が得られる。

図面の簡単な説明

第1図は本発明による試験回路の一実施例の構成を示すブロック図、第2図は本発明の一実施例の要部の構成を示すブロック図、第3図は従来の試験回路の構成例を示すブロック図、第4図は従来の試験回路の他の構成例を示すブロック図である。

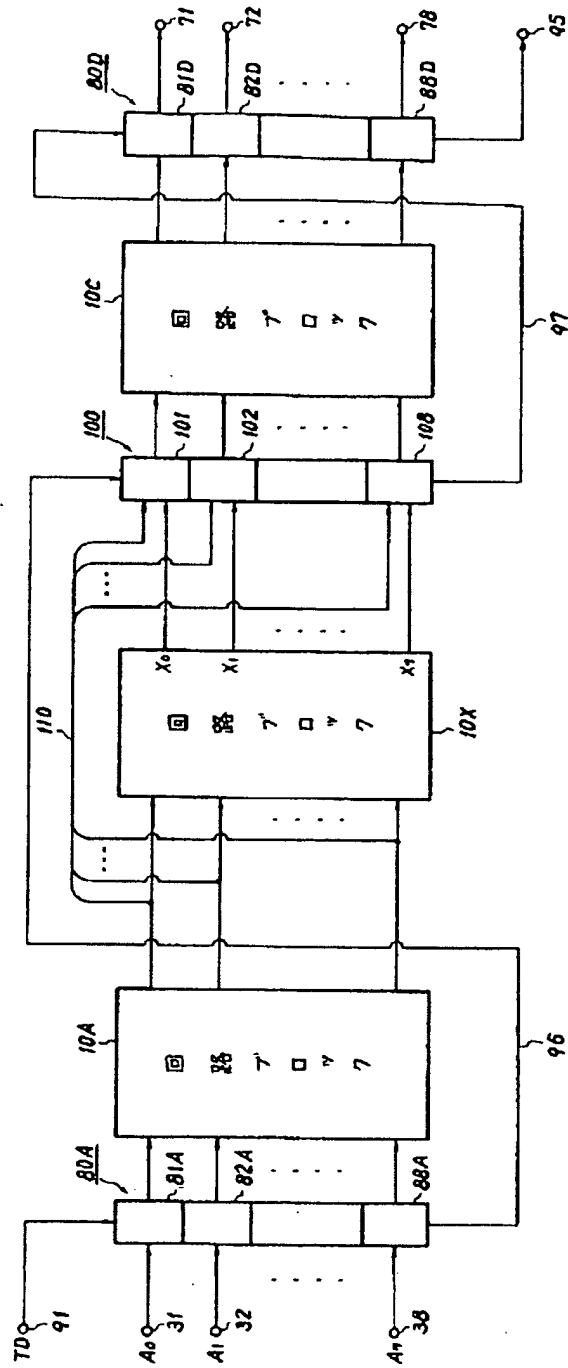
(10)、(10A)、(10B)、(10C)、

(10X)は回路ブロック、(101)～(108)は3ポート型フリップフロップ、D₁、D₂、D₃は第1、第2、第3のデータ入力端子、CK₁、CK₂、CK₃は第1、第2、第3のクロック入力端子である。

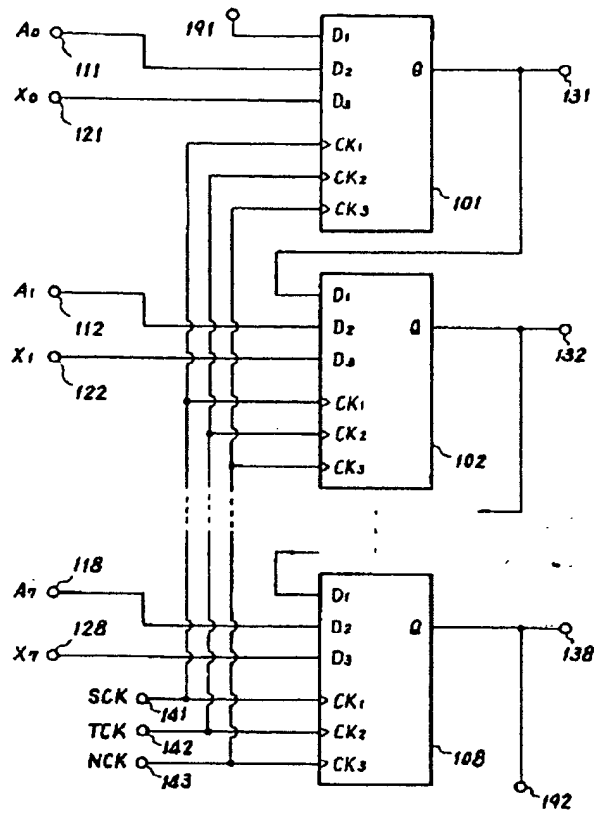
1 3

—422—

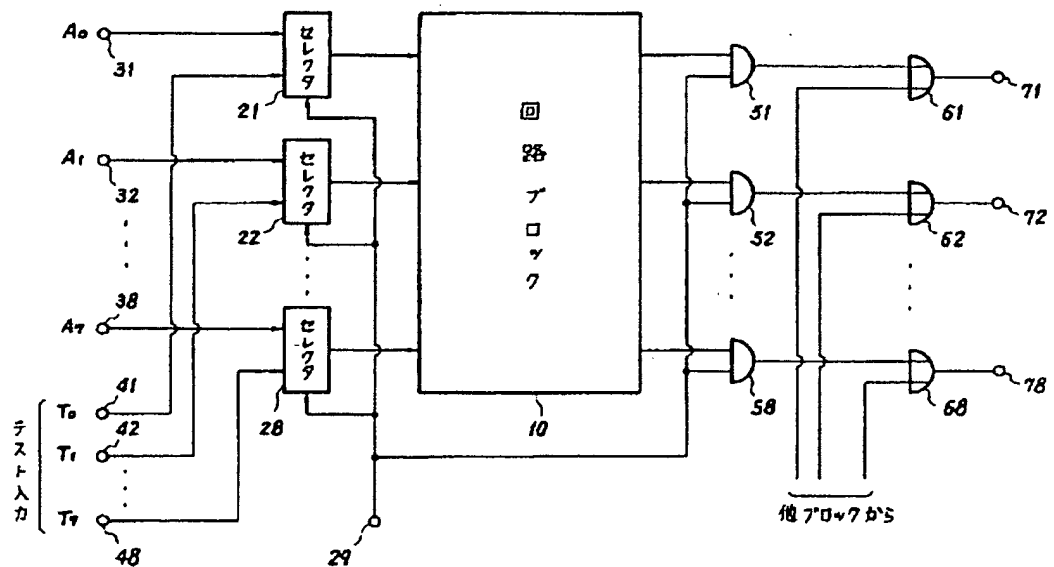
1 4



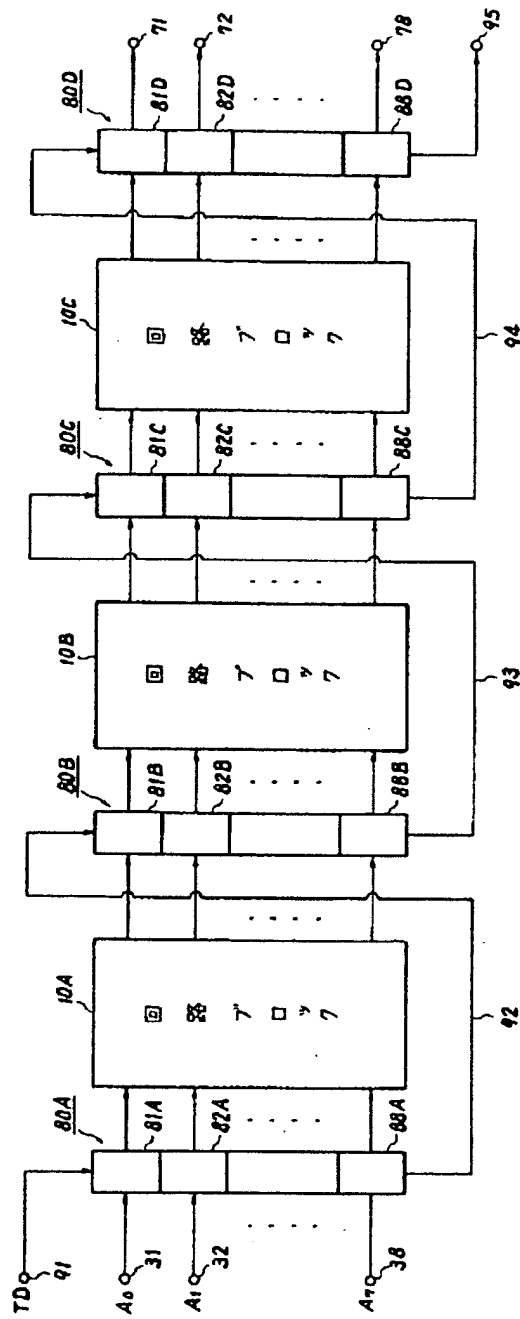
一実施例
第1図



—実施例の要部
第 2 図



従来例
第 3 図



他の従来例
第 4 図